

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 03 月 13 日
Application Date

申 請 案 號：092105414
Application No.

申 請 人：威盛電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 10 日
Issue Date

發文字號：09220356070
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|------------------------------------|
| 一、 發明名稱 | 中 文 | 分離式串列ATA實體層之電路構造及訊號編碼方法 |
| | 英 文 | |
| 二、 發明人 (共1人) | 姓 名 (中文) | 1. 江晉毅 |
| | 姓 名 (英文) | 1. |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (中 文) | 1. 台北縣新店市中正路533號8樓 |
| | 住居所 (英 文) | 1. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 威盛電子股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. VIA TECHNOLOGIES, INC. |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. |
| | 代表人 (中文) | 1. 王雪紅 |
| | 代表人 (英文) | 1. |



四、中文發明摘要 (發明名稱：分離式串列ATA實體層之電路構造及訊號編碼方法)

本發明係有關於一種分離式串列ATA 實體層之電路構造及訊號編碼方法，尤指一種可減少分離式串列ATA 實體層介面訊號數之電路構造及其訊號編碼方法，其主要係包含有一解碼編碼器、一並列串列轉換器、一鎖相迴路、至少一發送器、至少一接收器及至少一OOB 訊號偵測器，利用該解碼編碼器將分離式實體層與儲存媒體控制器間所需之各式控制訊號及各式狀態訊號，以8 位元與10 位元資料轉換規範之外的訊號編碼於資料訊號中加以傳遞，可大量減少分離式實體層與主控制晶片間連接所需之介面訊號數者。

伍、(一)、本案代表圖為：第__ 2 __ 圖

(二)、本案代表圖之元件代表符號簡單說明：

| | |
|-----|--------------|
| 2 0 | 分離式串列ATA 實體層 |
| 2 2 | 電源控制器 |
| 2 4 | 解碼器 |

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：分離式串列ATA實體層之電路構造及訊號編碼方法)

2 4 1 發送鎖相迴路
2 4 3 並列轉串列轉換器
2 4 5 發送器
2 5 3 並列轉串列轉換器
2 5 5 發送器
2 6 編碼器
2 6 1 接收鎖相迴路
2 6 3 串列轉並列轉換器
2 6 4 緩衝暫存器
2 6 5 接收器
2 6 6 接收器
2 6 7 00B 訊號偵測器
2 6 9 選擇器
2 7 1 接收鎖相迴路
2 7 3 串列轉並列轉換器

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

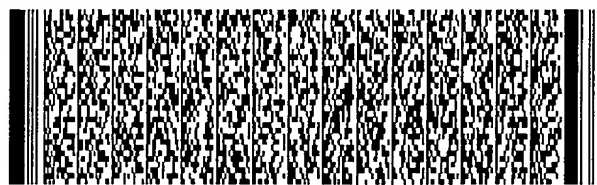
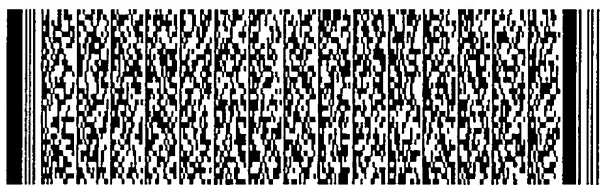
【技術領域】

本發明係有關於一種分離式串列ATA 實體層之電路構造及訊號編碼方法，尤指一種可減少分離式串列ATA 實體層介面訊號數之電路構造及其訊號編碼方法，其主要係利用一解碼編碼器將各式控制訊號及各式狀態訊號以8 位元與10 位元資料轉換規範之外的訊號編碼於資料訊號中，可大量減少分離式實體層與主控制晶片間連接所需之介面訊號數者。

【先前技術】

近年來，由於資訊相關產業的高度發展以及人們對資訊產品運算及傳輸速度的要求日益增加，使得業者不斷致力於各種傳輸介面規格的開發，就儲存介面而言，由最早傳輸速率16MBps 的ATA (Advanced Technology Attachment) 介面，經不斷的改良而產生傳輸速率33MBps 的ATA33 介面、傳輸速率66MBps 的ATA66 介面，乃至於ATA100 及ATA133 等介面規格，但由於上述之介面規格係以並列 (parallel) 式的資料傳輸方式傳輸，不僅傳輸所需之訊號線數量較多，雜訊干擾較大，傳輸線之長度受較大的限制，而其傳輸速率之提昇亦較為困難。

近來，由於各方業者不斷的嘗試開發，終於有串列 (serial) 式ATA 介面規格面世，不僅使傳輸速率一舉提昇到第一代的1.5GBps 以上，將來第二代的3.0GBps 與第三代的6.0GBps 也是指日可期，且其資料之傳輸只需四條訊號線



五、發明說明 (2)

，而其訊號線之長度也可大幅加長，實是一重大突破。

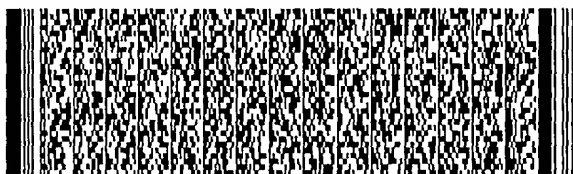
然而，目前串列式ATA 介面規格之產品仍處於開發階段，市面上仍以並列式ATA 產品為主流，為了兼顧擴充性與適用性，業者於電腦系統的設計上仍以同時支援兩種介面規格為主。

以往，業者嘗試於主控制晶片之儲存媒體控制器中增設一串列式ATA實體層 (physical layer; PHY)，藉以連結串列式ATA裝置。然而串列式ATA實體層包含有高頻類比電路，需佔用較大的面積，欲將之整合到主控制晶片（如南橋晶片）中將導致主控制晶片之面積過大，而其製作生產之良率則難以控制。

另有業者之解決方案如第1圖所示，其主要係將串列式ATA實體層之部份電路獨立製作於一分離式串列ATA實體層 (serial ATA external PHY) 161 中。主控制晶片 12 中之儲存媒體控制器 121，除了可透過IDE 匯流排 14 而連接並列式ATA裝置 18（如並列式ATA硬碟）外，亦可透過該分離式串列ATA實體層 161 而連接串列式ATA裝置 16（如串列式ATA硬碟）。

此一架構雖可解決前述之問題，然為了與該分離式實體層連接，必需在主控制晶片 12 增設連接腳位，不僅使成本提高，而主機板之插槽與電路也必需整個重新設計，實為業者之一大困擾。

【發明內容】



五、發明說明 (3)

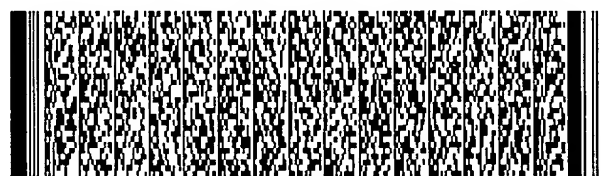
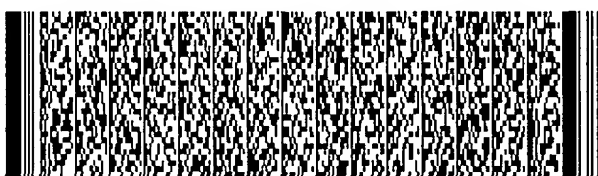
因此，如何針對上述習用電路架構的缺點，以及使用時所發生的問題提出一種新穎的解決方案，設計出一種簡單有效的分離式實體層電路構造，不僅可減少連接所需之腳位，且可利用IDE匯流排完成連結，而不用對主機板做大幅度修改，長久以來一直是使用者殷切盼望及本發明人欲行解決之困難點所在，而本發明人基於多年從事於資訊產業的相關研究、開發、及銷售之實務經驗，乃思及改良之意念，經多方設計、探討、試作樣品及改良後，終於研究出一種分離式串列ATA實體層之電路構造及訊號編碼方法，以解決上述之問題。爰是，

本發明之主要目的，在於提供一種分離式串列ATA實體層之電路構造，其主要係於分離式實體層中設有一解碼編碼器，可將儲存媒體控制器與分離式實體層間所需之各式控制訊號及各式狀態訊號編碼於資料訊號中加以傳輸，可大幅減少連結所需之腳位數者。

本發明之次要目的，在於提供一種分離式串列ATA實體層之訊號編碼方法，其主要係利用8位元與10位元資料轉換規範以外之訊號做為代碼，可將各式控制訊號及各式狀態訊號編碼於資料訊號中傳輸，藉以減少傳輸所需之介面訊號數者。

本發明之又一目的，在於提供一種分離式串列ATA實體層之電路構造，可利用一緩衝暫存器將資料訊號暫時儲存，以利於將各式訊號編碼於資料訊號中者。

本發明之又一目的，在於提供一種分離式串列ATA實



五、發明說明 (4)

體層之訊號編碼方法，可利用連續6個位元的0或連續6個位元的1做為控制訊號或狀態訊號之識別標幟者。

為了達成上述之目的，本發明提供一種分離式串列ATA實體層之電路構造，其主要構造係包含有：一解碼編碼器，利用一組並列訊號發送線及一組並列訊號接收線連接至一儲存媒體控制器，可將來自該儲存媒體控制器之一並列發送訊號解碼，成為一並列發送資料訊號及至少一控制訊號；一並列串列轉換器，連接該解碼編碼器，用以將該並列發送資料訊號轉換為一串列發送資料訊號；一鎖相迴路，分別連接該解碼編碼器與該並列串列轉換器，可接收來自該解碼編碼器之控制訊號，並可產生實體層運作所需之時脈訊號，及將一參考時脈訊號傳送至該儲存媒體控制器；至少一發送器，連接該並列串列轉換器，各發送器可將該串列發送資料訊號藉由一組串列訊號發送線傳送到其連接之一串列式ATA裝置；至少一接收器，連接該並列串列轉換器，各接收器可透過一組串列訊號接收線，將接收自所連接串列式ATA裝置之一串列接收資料訊號傳送到該並列串列轉換器，而由並列串列轉換器將該串列接收資料訊號轉換為一並列接收資料訊號後再傳送至該解碼編碼器；及至少一OOB訊號偵測器，分別連接於各對應接收器之接收訊號線，用以偵測串列式ATA裝置之運作狀況，並可將偵測所得之至少一組狀態訊號傳送至該解碼編碼器，再由該解碼編碼器將該並列接收資料訊號與該等狀態訊號編碼成為一並列接收訊號，再藉由該組並列訊號接收線傳送



五、發明說明 (5)

到該儲存媒體控制器，可減少傳輸所需之介面訊號數者。

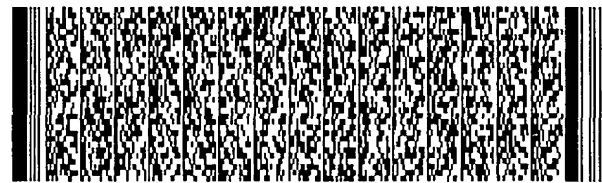
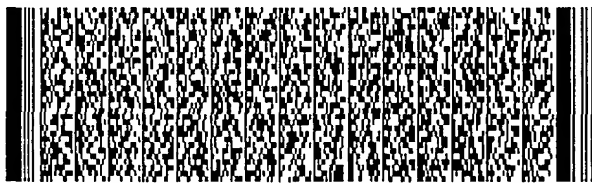
另外，本發明尚提供一種分離式串列ATA實體層之訊號編碼方法，應用於分離式串列ATA實體層與儲存媒體控制器間之資料訊號傳輸，其主要係於資料轉換過程之10位元並列訊號中，以8位元與10位元資料轉換規範之外的訊號做為各式控制訊號及狀態訊號之編碼，可有效減少傳輸所需之介面訊號數者。

【實施方式】

茲為使貴審查委員對本發明之特徵、結構及所達成之功效有進一步之瞭解與認識，謹佐以較佳之實施圖例及配合詳細之說明，說明如後：

首先，請參閱第2圖，係本發明分離式實體層一較佳實施例之電路方塊圖。本發明之主要構造應包含有：一解碼編碼器(decoder/encoder)、一並列串列轉換器(serializer/deserializer; SerDes)、一鎖相迴路(phase locked loop; PLL)、至少一發送器(transmitter)、至少一接收器(receiver)及至少一00B訊號偵測器。

本發明之設計係將串列式ATA實體層所需元件中，數位電路部份整合於儲存媒體控制器中，如8 bits/10 bits編碼器(8B10B encoder)與10 bits/8 bits解碼器(10B8B decoder)及字元定位器(word alignment)等；而類比電路的部份則設於分離式串列ATA實體層20中，如此，主控制晶片將不會因整合高頻類比電路而增加晶片面



五、發明說明 (6)

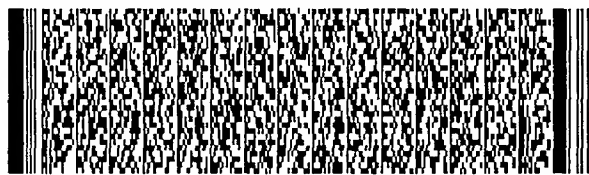
積，可保持其生產良率。

該分離式串列ATA實體層20在設計上，可依實際之需求而加以變化運用。如圖所示，本實施例可連接兩組串列式ATA裝置，並可使兩組串列ATA裝置同時作業。

該解碼編碼器包含有一解碼器24及一編碼器26；該鎖相迴路包含有一發送鎖相迴路241及對應於兩組串列ATA裝置之二接收鎖相迴路261、271；而並列串列轉換器則包含有二並列轉串列轉換器(serializer; PISO) 243、253及二串列轉並列轉換器(deserializer; SIPO) 263、273。

而其中該發送鎖相迴路241係可產生分離式串列ATA實體層20發送訊號所需之時脈訊號TxClock1與TxClock2，將該等時脈訊號分別傳送給並列轉串列轉換器243與253，並可傳送一參考時脈訊號(RefClk)至儲存媒體控制器。

解碼器24可透過一組並列訊號發送線(TxData[9:0])連接至該儲存媒體控制器，於接收來自該儲存媒體控制器之並列發送訊號後，可將該並列發送訊號解碼為並列發送資料訊號及至少一控制訊號。其中並列發送資料訊號根據其欲傳送之裝置，分別傳送到對應之並列轉串列轉換器243或253，利用該並列轉串列轉換器243、253將該並列發送資料訊號轉換為串列發送資料訊號(TxData1, TxData2)後，即可藉由發送器245、255透過一組串列訊號發送線(TXP1, TXN1或TXP2, TXN2)傳送到



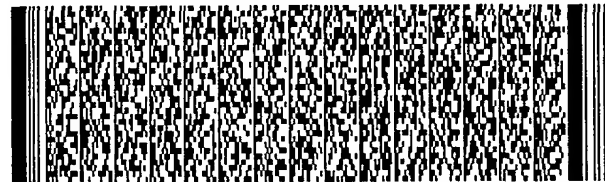
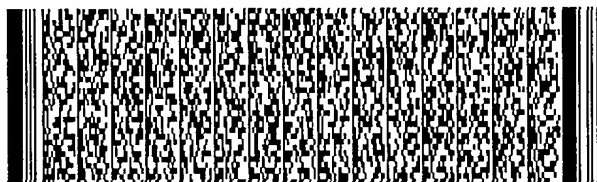
五、發明說明 (7)

對應之串列式ATA裝置。

而該等控制訊號可包含有重置訊號(Reset1, Reset2)、電源控制訊號(Partial1, Partial2, Slumber1, Slumber2)、發送有效訊號(TxValid)及傳送速率選擇訊號(Rate1, Rate2)等。其中該解碼器24解得發送有效訊號時,可確定儲存媒體控制器已開始傳送資料訊號。重置訊號與電源控制訊號係傳送到電源控制器(power controller)22,藉以對電源作一整合控制。傳送速率選擇訊號則分別傳送到發送鎖相迴路241與接收鎖相迴路261、271,供切換不同傳輸速率所需之時脈訊號。

在接收的部份,則是由接收器265、275透過一組串列訊號接收線(RXP1, RXN1或RXP2, RXN2)接收來自串列式ATA裝置之串列接收資料訊號(RxDat1, RxDat2)後,傳送至串列轉並列轉換器263、273中。串列轉並列轉換器263、273分別根據接收鎖相迴路261、271所產生的時脈訊號RxClock1、RxClock2,將串列接收資料訊號轉換為並列接收資料訊號,轉換完成後則先將資料訊號分別儲存於緩衝暫存器264、274中。

OOB訊號偵測器(out of band signal detector)267、277,分別連接各串列訊號接收線,可用以偵測訊號傳輸的狀態而得到接收壓扁訊號(Squelch1, Squelch2)、初始化訊號(ComInit1, ComInit2)及喚醒訊號(ComWake1, ComWake2)等狀態訊號。該編碼器26則可將來自OOB訊號偵測器267、277之各狀態訊號、來自

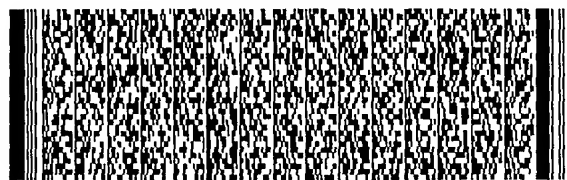


五、發明說明 (8)

接收鎖相迴路 261、271 之接收就緒訊號 (RxLocked1, RxLocked2) 與緩衝暫存器 264、274 中之資料訊號編碼成為並列接收訊號，並藉由一組並列訊號接收線 (RxData[9:0]) 傳送到儲存媒體控制器中。

為了增加偵測訊號的強度，尚可於各 00B 訊號偵測器 267、277 與訊號線連接處各增設一接收器 266、276。另外，該解碼器 24 尚可透過一組取樣時脈線接收取樣時脈訊號 (strobe differential clock) TxStrobe1、TxStrobe2 做為取樣 (sample) 資料之依據，而編碼器 26 則利用另一組取樣時脈線傳送取樣時脈訊號 RxStrobe1、RxStrobe2 到儲存媒體控制器中，供其取樣資料之用。

本發明之分離式實體層 20 尚可設有選擇器 269、279，其一輸入端分別連接並列轉串列轉換器 243、253，另一輸入端分別連接接收器 265、275，而其輸出端分別連接串列轉並列轉換器 263、273 與接收鎖相迴路 261、271，可根據一控制訊號 (Loopback) 而選擇正常之發送接收路徑，或將經由並列轉串列轉換器 243、253 轉換後之串列發送資料訊號分別傳送到串列轉並列轉換器 263、273 形成一迴圈，藉以測試系統中並列訊號與串列訊號間之編碼與解碼作業是否正確。如上所述分離式串列 ATA 實體層之電路構造係可整合於一實體層晶片中加以運用，可直接設置於主機板上，亦可設置於一介面卡中而插接使用者。

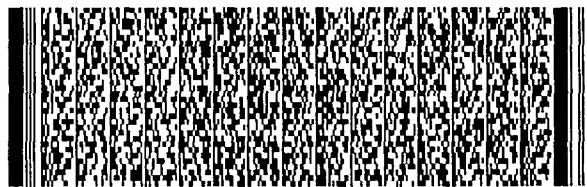


五、發明說明 (9)

其次，請參閱第3圖，係本發明應用時之架構方塊圖。如圖所示，本發明之分離式實體層構造，由於可將實體層20與主控制晶片32中儲存媒體控制器321間所需之大部份控制訊號與狀態訊號編碼於資料訊號中傳遞，故可將連結所需之腳位數控制於27腳位之內（LoopBack腳位係作為測試之用無需連接至儲存媒體控制器），可直接利用主控制晶片連接IDE匯流排34之腳位來做連結，而不必在主控制晶片32上增設腳位。亦可將該分離式串列ATA實體層20設置於一介面卡，可插接於IDE匯流排34之插槽上，藉以連接串列式ATA裝置36。如此，不僅不會使主控制晶片之製作成本提高，且不用改變主機板與主控制晶片插槽之設計，實為系統設計者之一大福音。

最後，請參閱第4圖，係本發明訊號編碼方法一較佳實施例之示意圖。由於目前業界所使用的8位元與10位元資料轉換規範中，其所定義之訊號編碼只有256個，而一般10位元訊號可包含有1024個編碼，故在本發明中可利用8B/10B轉換規範以外之編碼來定義所需之各式控制訊號與各式狀態訊號。

如圖所示，由於在8B/10B轉換規範中，不可能產生連續6個位元為0或連續6個位元為1之資料訊號。故我們可利用這個特性，在並列式ATA訊號之8位元並列資料訊號轉換為10位元並列訊號時，利用連續6個位元的0或連續6個位元的1做為狀態訊號與控制訊號之識別標幟。可將該識別標幟置於10位元並列訊號之前端，而狀態訊號或控制訊



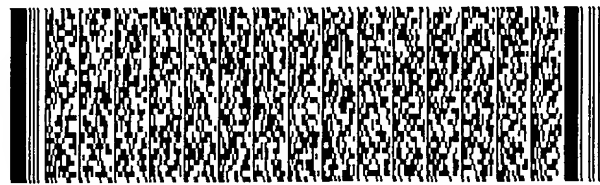
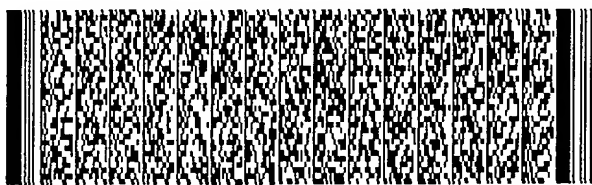
五、發明說明 (10)

號之編碼置於末端，如Ex1；將該識別標幟置於10位元並列訊號之末端，而狀態訊號或控制訊號之編碼置於前端，如Ex3；或將該識別標幟置於10位元並列訊號之中段，而狀態訊號或控制訊號之編碼則分置於前端及末端，如Ex2。

當然，其他8B/10B轉換規範未定義之編碼亦可加以靈活運用。如此，即可將大量額外的資訊編碼於資料訊號中，利用資料訊號之訊號線來傳遞，可使實體層與儲存媒體控制器間連結所需之介面訊號數減少到最低的程度。

利用如上所述之分離式串列ATA實體層電路構造與訊號編碼方法，可簡化設計並使分離式實體層之功效得到最有效的發揮，而其與儲存媒體控制器所需之連接腳位亦可大幅減少，控制於27個腳位以下，可直接使用原有IDE匯流排連接而不用增設控制晶片之腳位，不僅使製作成本大幅降低，而系統設計者亦可在不修改主機板設計的狀況下，考慮是否使用串列式ATA而決定是否加入分離式實體層晶片，或是另行採用介面卡之方式實施。

綜上所述，當知本發明係有關於一種分離式串列ATA實體層之電路構造及訊號編碼方法，尤指一種可減少分離式串列ATA實體層介面訊號數之電路構造及其訊號編碼方法，其主要係利用一解碼編碼器將各式控制訊號及各式狀態訊號以8位元與10位元資料轉換規範之外的訊號編碼於資料訊號中，可大量減少分離式實體層與主控制晶片間連接所需之介面訊號數者。故本發明實為一富有新穎性、進



五、發明說明 (11)

步性，及可供產業利用功效者，應符合專利申請要件無疑，爰依法提請發明專利申請，懇請貴審查委員早日賜予本發明專利，實感德便。

惟以上所述者，僅為本發明之一較佳實施例而已，並非用來限定本發明實施之範圍，即凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

圖號簡單說明：

| | | | |
|-------|-------------|-------|----------|
| 1 2 | 主控制晶片 | 1 2 1 | 儲存媒體控制器 |
| 1 2 3 | 串列式ATA實體層 | 1 4 | IDE匯流排 |
| 1 6 | 串列式ATA裝置 | | |
| 1 6 1 | 分離式串列ATA實體層 | | |
| 1 8 | 並列式ATA裝置 | | |
| 2 0 | 分離式串列ATA實體層 | | |
| 2 2 | 電源控制器 | 2 4 | 解碼器 |
| 2 4 1 | 發送鎖相迴路 | 2 4 3 | 並列轉串列轉換器 |
| 2 4 5 | 發送器 | 2 5 3 | 並列轉串列轉換器 |
| 2 5 5 | 發送器 | | |
| 2 6 | 編碼器 | | |
| 2 6 1 | 接收鎖相迴路 | 2 6 3 | 串列轉並列轉換器 |
| 2 6 4 | 緩衝暫存器 | 2 6 5 | 接收器 |
| 2 6 6 | 接收器 | 2 6 7 | 00B訊號偵測器 |

五、發明說明 (12)

| | | | |
|-------|----------|-------|-----------|
| 2 6 9 | 選擇器 | | |
| 2 7 1 | 接收鎖相迴路 | 2 7 3 | 串列轉並列轉換器 |
| 2 7 4 | 緩衝暫存器 | 2 7 5 | 接收器 |
| 2 7 6 | 接收器 | 2 7 7 | 00B 訊號偵測器 |
| 2 7 9 | 選擇器 | | |
| 3 2 | 主控制晶片 | 3 2 1 | 儲存媒體控制器 |
| 3 4 | IDE 匯流排 | 3 6 | 串列式ATA裝置 |
| 3 8 | 並列式ATA裝置 | | |



圖式簡單說明

第 1 圖：係習用ATA 介面架構之方塊圖；

第 2 圖：係本發明分離式實體層一較佳實施例之電路方塊圖；

第 3 圖：係本發明應用時之架構方塊圖；及

第 4 圖：係本發明編碼方法一較佳實施例之示意圖。



六、申請專利範圍

1. 一種分離式串列ATA 實體層之電路構造，其主要構造係包含有：

一解碼編碼器，利用一組並列訊號發送線及一組並列訊號接收線連接至一儲存媒體控制器，可將來自該儲存媒體控制器之一並列發送訊號解碼，成為一並列發送資料訊號及至少一控制訊號；

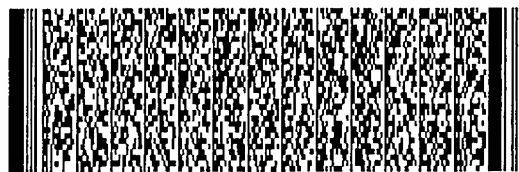
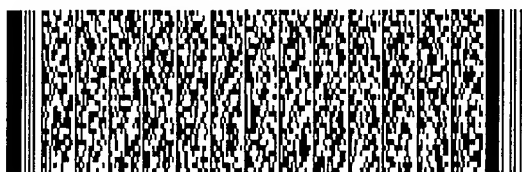
一並列串列轉換器，連接該解碼編碼器，用以將該並列發送資料訊號轉換為一串列發送資料訊號；

一鎖相迴路，分別連接該解碼編碼器與該並列串列轉換器，可接收來自該解碼編碼器之控制訊號，並可產生實體層運作所需之時脈訊號，及將一參考時脈訊號傳送至該儲存媒體控制器；

至少一發送器，連接該並列串列轉換器，各發送器可將該串列發送資料訊號藉由一組串列訊號發送線傳送到其連接之一串列式ATA裝置；

至少一接收器，連接該並列串列轉換器，各接收器可透過一組串列訊號接收線，將接收自所連接串列式ATA裝置之一串列接收資料訊號傳送到該並列串列轉換器，而由並列串列轉換器將該串列接收資料訊號轉換為一並列接收資料訊號後再傳送至該解碼編碼器；及

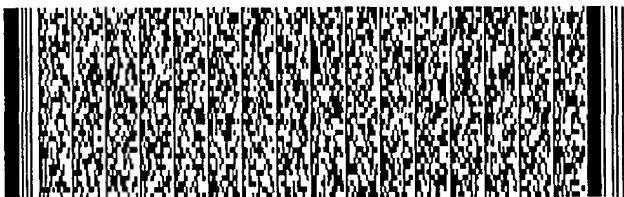
至少一OOB 訊號偵測器，分別連接於各對應接收器之接收訊號線，用以偵測串列式ATA裝置之運作狀況，並可將偵測所得之至少一組裝態訊號傳送至該解



六、申請專利範圍

碼編碼器，再由該解碼編碼器將該並列接收資料訊號與該等狀態訊號編碼成為一並列接收訊號，再藉由該組並列訊號接收線傳送到該儲存媒體控制器者。

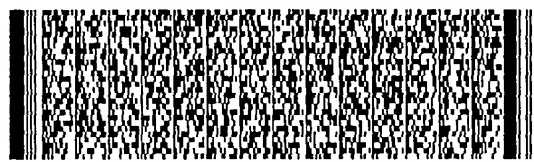
2. 如申請專利範圍第1項所述之電路構造，其中該解碼編碼器係包含有一解碼器及一編碼器，該解碼器透過該組並列訊號發送線連接該儲存媒體控制器，而該編碼器則透過該並列訊號接收線連接該儲存媒體控制器。
3. 如申請專利範圍第1項所述之電路構造，其中該並列串列轉換器係包含有至少一並列轉串列之轉換器及至少一串列轉並列之轉換器者。
4. 如申請專利範圍第3項所述之電路構造，其中各串列轉並列轉換器與該解碼編碼器間尚可設有一緩衝暫存器。
5. 如申請專利範圍第1項所述之電路構造，其中該鎖相迴路係可包含有一發送鎖相迴路及一接收鎖相迴路者。
6. 如申請專利範圍第1項所述之電路構造，其中該等控制訊號係可包含有重置訊號、電源控制訊號、發送有效訊號及其組合式之其中之一者。
7. 如申請專利範圍第6項所述之電路構造，其中該等控制訊號尚可包含有一傳送速率選擇訊號。
8. 如申請專利範圍第1項所述之電路構造，其中該等狀



六、申請專利範圍

態訊號係可包含有初始化訊號、喚醒訊號、接收壓扁訊號、接收就緒訊號及其組合式之其中之一者。

9. 如申請專利範圍第1項所述之電路構造，其中該鎖相迴路係具有傳輸速率切換功能者。
10. 如申請專利範圍第1項所述之電路構造，其中尚包含有一電源控制器，可控制實體層與連接裝置之重置及其他電源狀態。
11. 如申請專利範圍第3項所述之電路構造，其中尚可包含有至少一選擇器，其一輸入端連接該並列轉串列轉換器，另一輸入端連接該接收器，而輸出端則連接該串列轉並列轉換器。
12. 如申請專利範圍第1項所述之電路構造，其係可整合於一晶片中者。
13. 如申請專利範圍第1項所述之電路構造，其係僅需透過一IDE匯流排即可完成與該儲存媒體控制器之連結者。
14. 一種分離式串列ATA實體層之訊號編碼方法，應用於分離式串列ATA實體層與儲存媒體控制器間之資料訊號傳輸，其主要係於資料轉換過程之10位元並列訊號中，以至少連續6個位元的0做為編碼之識別標幟，而可將各式控制訊號及狀態訊號編碼於資料訊號中傳輸者。
15. 如申請專利範圍第14項所述之訊號編碼方法，其中該至少連續6個位元的0的識別標幟係可以至少連續6個



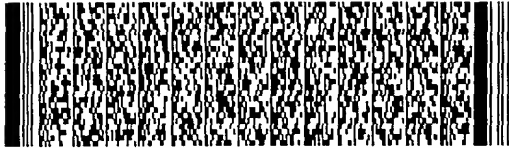
六、申請專利範圍

位元的1取代。

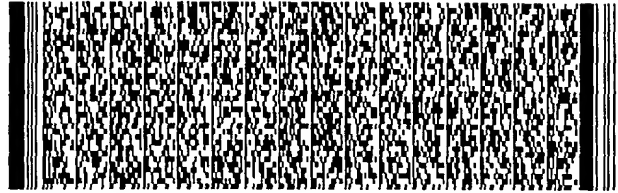
- 16．如申請專利範圍第14項所述之訊號編碼方法，其中該識別標幟係位於10個位元之前端。
- 17．如申請專利範圍第14項所述之訊號編碼方法，其中該識別標幟係位於10個位元之末端。
- 18．如申請專利範圍第14項所述之訊號編碼方法，其中該識別標幟係位於10個位元之中段。
- 19．一種分離式串列ATA 實體層之訊號編碼方法，應用於分離式串列ATA 實體層與儲存媒體控制器間之資料訊號傳輸，其主要係於資料轉換過程之10位元並列訊號中，以8位元與10位元資料轉換規範之外的訊號做為各式控制訊號及狀態訊號之編碼者。



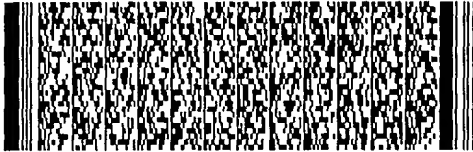
第 1/21 頁



第 2/21 頁



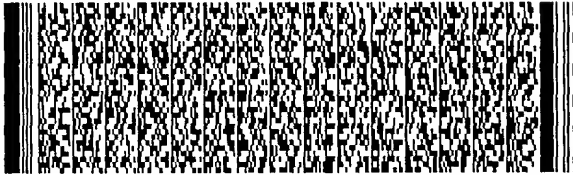
第 3/21 頁



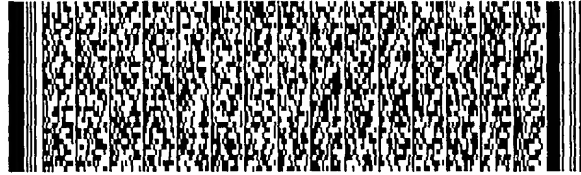
第 4/21 頁



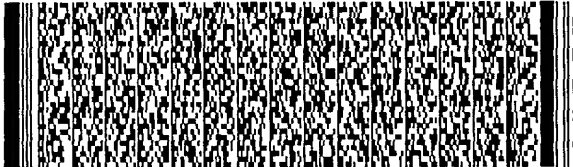
第 5/21 頁



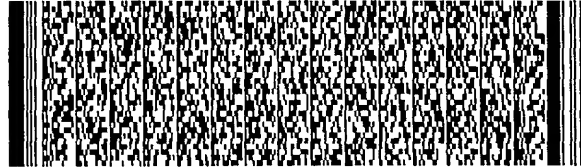
第 5/21 頁



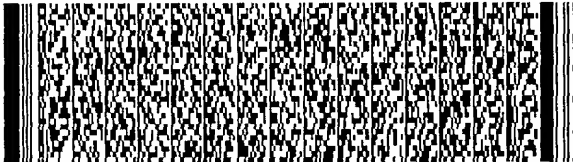
第 6/21 頁



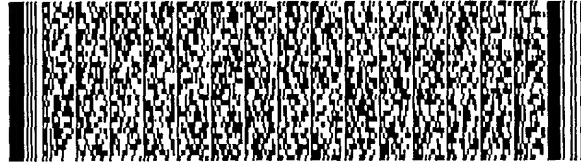
第 6/21 頁



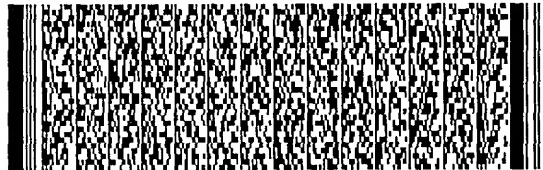
第 7/21 頁



第 7/21 頁



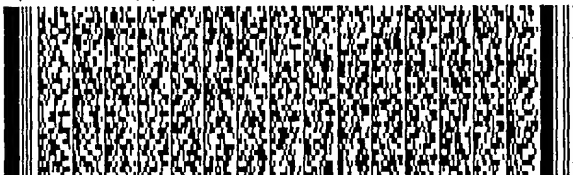
第 8/21 頁



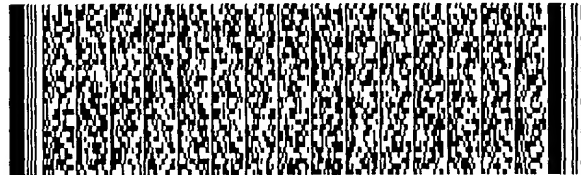
第 8/21 頁



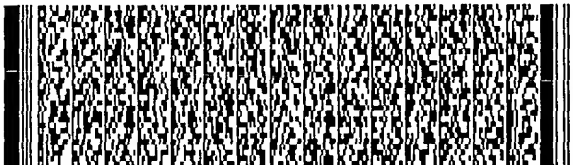
第 9/21 頁



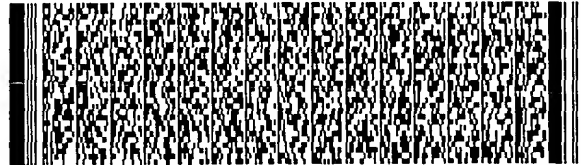
第 9/21 頁



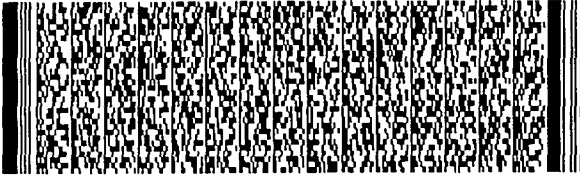
第 10/21 頁



第 10/21 頁



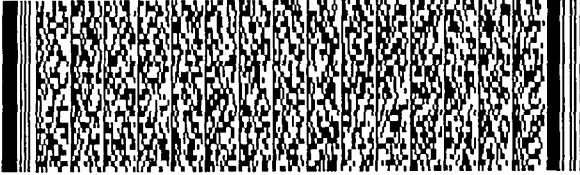
第 11/21 頁



第 11/21 頁



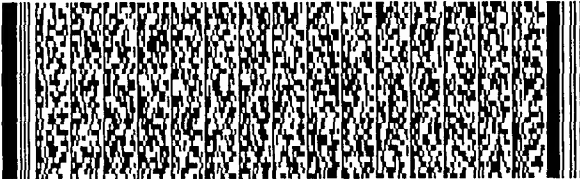
第 12/21 頁



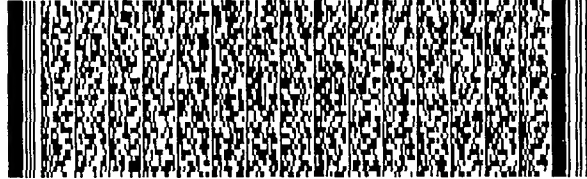
第 12/21 頁



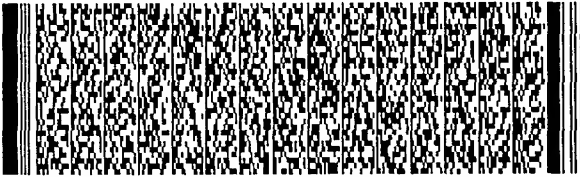
第 13/21 頁



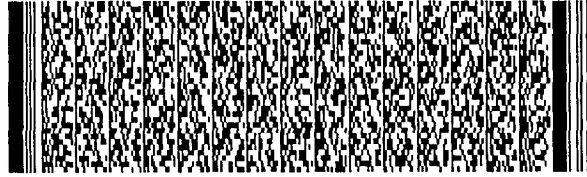
第 13/21 頁



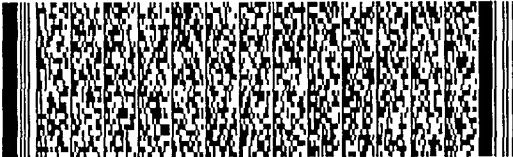
第 14/21 頁



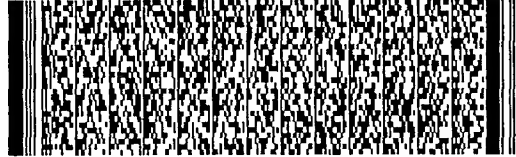
第 14/21 頁



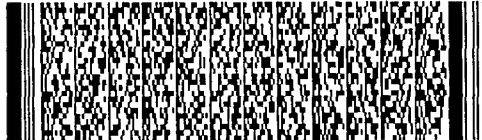
第 15/21 頁



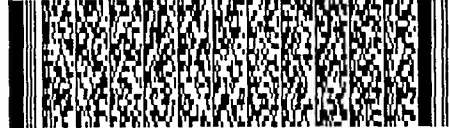
第 15/21 頁



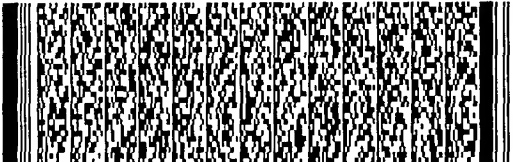
第 16/21 頁



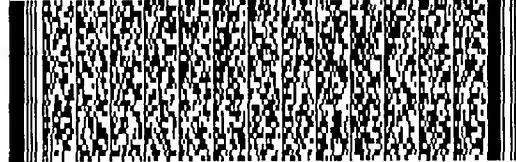
第 17/21 頁



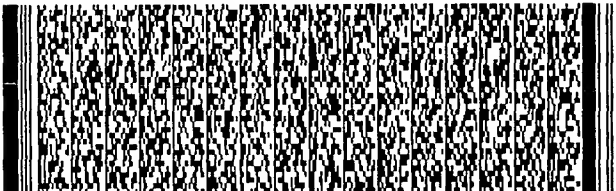
第 18/21 頁



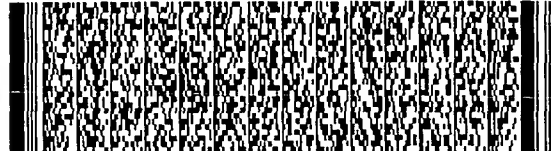
第 18/21 頁



第 19/21 頁



第 20/21 頁

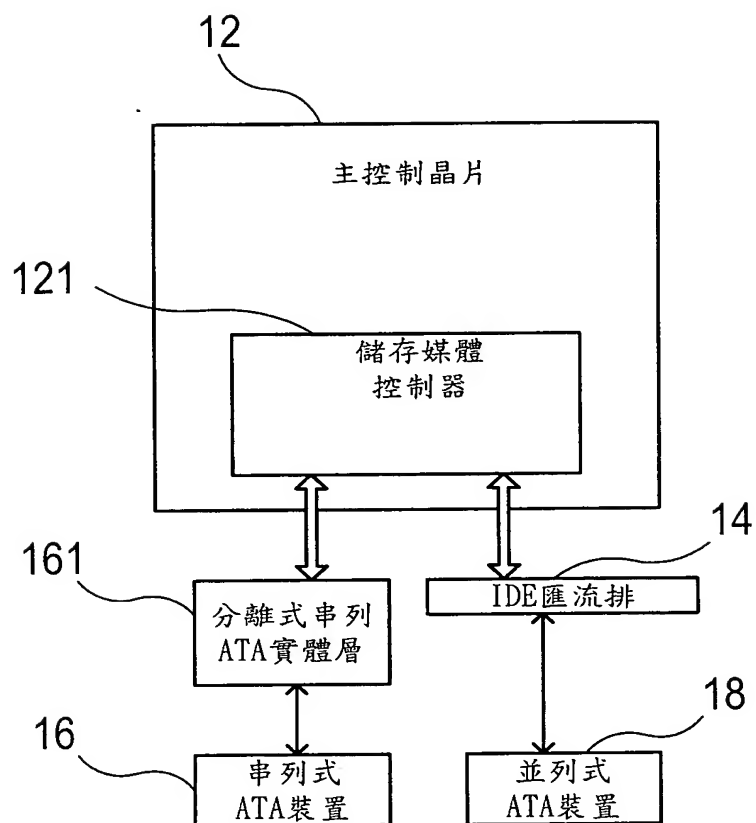


第 20/21 頁

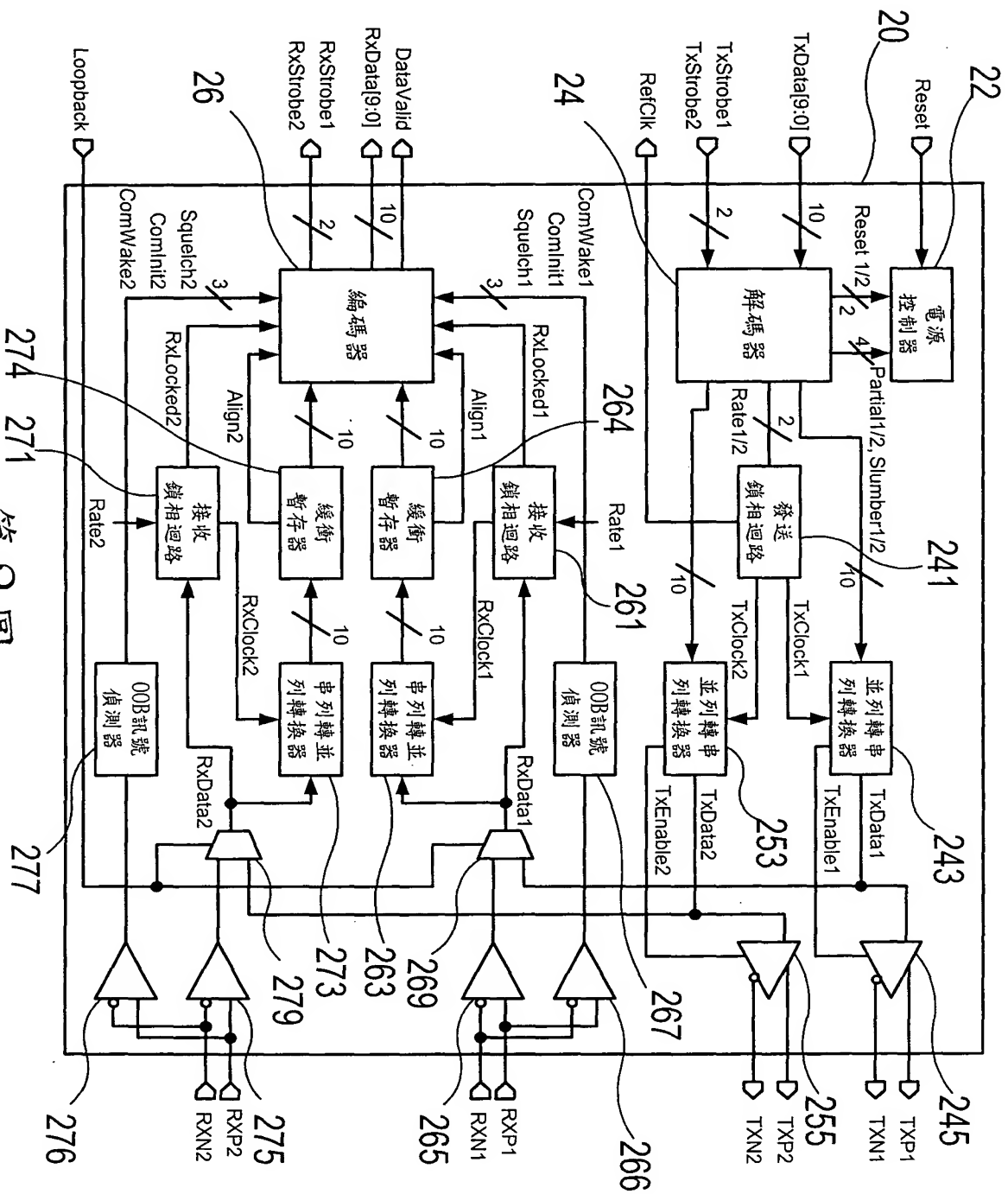


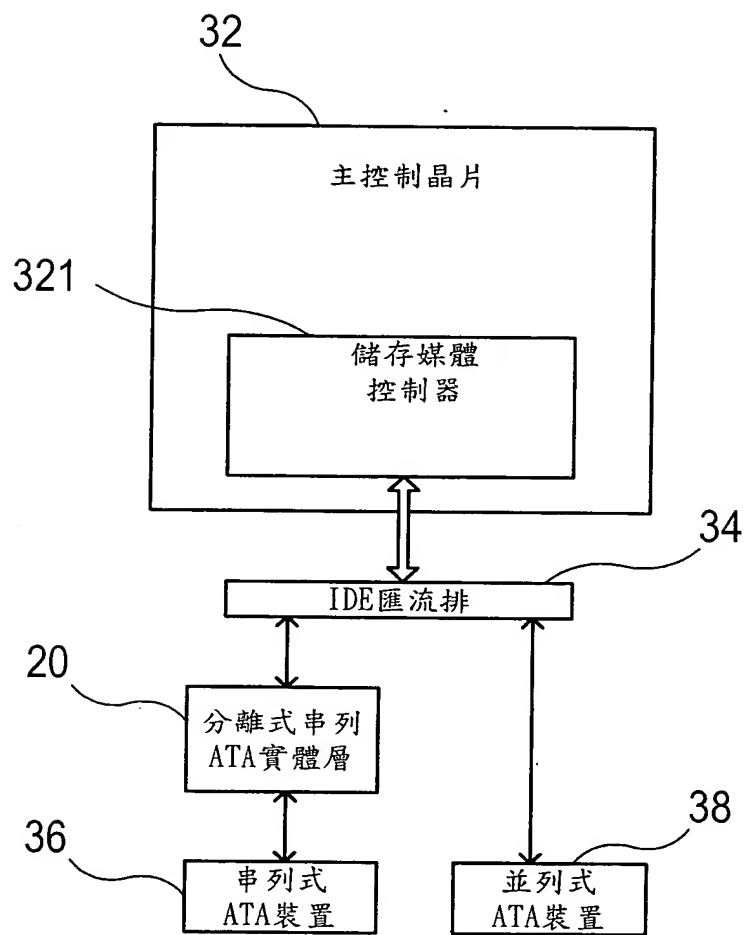
第 21/21 頁





第 1 圖
(習用技術)





第 3 圖

| | | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|---|
| Ex1 | 0 | 0 | 0 | 0 | 0 | 0 | a | b | c | d |
|-----|---|---|---|---|---|---|---|---|---|---|

| | | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|---|
| Ex2 | a | b | c | d | 1 | 1 | 1 | 1 | 1 | 1 |
|-----|---|---|---|---|---|---|---|---|---|---|

| | | | | | | | | | | |
|-----|---|---|---|---|---|---|---|---|---|---|
| Ex3 | a | b | 0 | 0 | 0 | 0 | 0 | 0 | c | d |
|-----|---|---|---|---|---|---|---|---|---|---|

第 4 圖